

(1) Japanese Patent Application Laid-Open No.10-38978 (1998)

“Test Facilitation Circuit”

The following is an extract relevant to the present application.

5

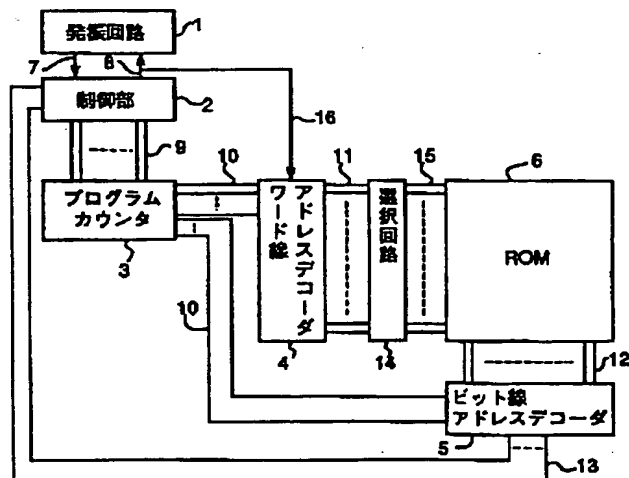
A test facilitation circuit of the present invention includes a selection circuit 14, and the selection circuit 14 selects the preset test signal as an output to be outputted to a ROM 6 in a standby mode. The preset test signal as aforementioned is alternately set, for example, to be “H”, “L”, “H”, and “L” for each word line so that potentials of adjacent word

10 lines 15 will be different from each other.

(11)特許出願公開番号

(43)公開日 平成10年(1998)2月13日

31/02



【特許請求の範囲】

【請求項1】 命令を格納するROMと、前記ROMから読み出された命令を実行する制御部と、該制御部が実行すべき命令のアドレスを格納するプログラムカウンタと、前記アドレスをデコードしてワード線に信号を出力するアドレスデコーダとを備え、前記制御部から出力される制御信号に基づき、前記制御部が命令を実行する通常モードから前記制御部が活動を停止するスタンバイモードに切り替わるマイクロコンピュータのためのテスト容易化回路において、

前記アドレスデコーダと前記ROMとの間に接続され、前記通常モード時には、前記アドレスデコーダから出力される信号を選択し、前記スタンバイモード時には、前記ワード線の電位を所定値に設定するためのテスト信号を選択して、該選択された信号を前記ROMに出力する選択手段を備えたことを特徴とするテスト容易化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマイクロコンピュータのテスト容易化回路に関し、特にリーク不良の検出を容易に短時間で行うテスト容易化回路に関するものである。

【0002】

【従来の技術】図5に従来のマイクロコンピュータの構成を示す。マイクロコンピュータは、発振回路1と、制御部2と、プログラムカウンタ3と、ワード線アドレスデコーダ4と、ビット線アドレスデコーダ5と、ROM(読み出し専用メモリ)6とから構成される。

【0003】発振回路1と制御部2とは信号線7、8で接続され、制御部2とプログラムカウンタ3とはアドレスバス9に接続される。また、プログラムカウンタ3は、アドレスバス10によりワード線アドレスデコーダ4およびビット線アドレスデコーダ5とに接続される。ワード線アドレスデコーダ4とROM6とはワード線11により接続され、ビット線アドレスデコーダ5とROM6とはビット線12により接続される。制御部2とビット線アドレスデコーダ5とは、データバス13に接続される。

【0004】一般的に、マイクロコンピュータの動作モードには、通常モードとスタンバイモードの2種類がある。以下に、これらの動作モードに対応させて、マイクロコンピュータの動作について説明する。

【0005】通常モードにおいては、発振回路1により動作タイミングを与えるクロックが信号線7を介して制御部2に入力される。このクロックのタイミングに基づき、制御部2は、ROM6からデータバス13を介して入力される命令により演算を行い、プログラムカウンタ3の値を決定する。プログラムカウンタ3の値がアドレスバス10を介してワード線アドレスデコーダ4およびビット線アドレスデコーダ5に入力される。入力された

プログラムカウンタ3の値がワード線アドレスデコーダ4でデコードされ、所定のワード線11が選択されることにより、同一ワード線11上に接続されるROM6内のセルのデータがビット線12に出力される。ビット線アドレスデコーダ5はビット線12のデータの中から、プログラムカウンタ3の値をデコードした結果該当するアドレスのデータのみを選択しデータバス13に出力する。データバス13に出力されたデータは命令として制御部2に読み込まれ、実行される。以降、同様に上記動作が繰り返される。

【0006】スタンバイモードにおいては、制御部2が信号線8を介して、発振回路1のクロック出力を停止させる発振停止命令を発振回路1に出力する。発振回路1は発振停止信号により制御部2へのクロックの供給を停止し、制御部2は動作を停止する。このため、スタンバイモードでは、マイクロコンピュータ内の消費電流はほとんど流れない状態となる。一般的に、通常モードにおける消費電流は20~30mAであるのに対して、スタンバイモードにおける消費電流は1~10μAである。

【0007】

【発明が解決しようとする課題】このようなマイクロコンピュータにおいて、製造工程におけるROM6のエッチング不良により、隣接するワード線間に不良配線パターンが形成されることがある。このため、本来絶縁されるべきはずの隣接するワード線11間において、不良配線パターンにより電流が流れ、リーク不良が生ずる。

【0008】以上のようなROM6におけるリーク不良の検出は、マイクロコンピュータがスタンバイモードである時に、外部から電源電圧を入力するための電源端子に流れる電流を測定することにより可能である。すなわち、スタンバイモードでは、前述のように消費電流が小さくなるため、電源端子に流れる電流が極く微量になる。このため、スタンバイモードでの電源端子に流れる電流を測定し、その電流値が所定値よりも大きければリーク不良があると判断できる。

【0009】スタンバイモードでは、制御部2がスタンバイモードへの移行を実行した時の値が、プログラムカウンタ3に保持される。この時、プログラムカウンタ3の値により、ROM6のアドレスを指定するワード線11の1つが選択される。このように、通常、スタンバイモードでは、同時に複数のワード線11が選択されないため、同時に複数のワード線11の電位を変えることは困難である。リーク不良を検出するためには、隣接するワード線11間の電位を異ならせる必要がある。したがって、従来の方法では、1回のスタンバイモードで、1つのワード線しか選択されないため、その時に選択されるワード線11とその隣接するワード線11に対してしかリーク不良が検出されない。

【0010】したがって、複数のワード線11のリーク不良を検出するためには、スタンバイモード移行時にブ

10

20

30

40

50

ログラムカウンタ 3 に設定されるアドレスを設定し、リーク不良を検出するという作業を繰り返し行う必要がある。すなわち、リーク不良の検出において、(1) 通常モードでプログラムカウンタ 3 の値の変更→(2) スタンバイモードへの切り換え→(3) 電源端子に流れる電流の測定→(4) 通常モードへの切り換えという、

(1) ~ (4) の作業を繰り返す必要がある。このため、モード切り換え等の複雑な処理が必要で、かつ、処理に時間がかかるという問題がある。

【0011】本発明は上記問題を解決すべくなされたものであり、その目的とするところは、マイクロコンピュータにおいて、内蔵 ROM における隣接するワード線間のリーク不良を容易に短時間で検出できるテスト容易化回路を提供することにある。

【0012】

【課題を解決するための手段】本発明に係るテスト容易化回路は、命令を格納する ROM と、前記 ROM から読み出された命令を実行する制御部と、該制御部が実行すべき命令のアドレスを格納するプログラムカウンタと、前記アドレスをデコードしてワード線に信号を出力するアドレスデコーダとを備え、前記制御部から出力される制御信号に基づき、前記制御部が命令を実行する通常モードから前記制御部が活動を停止するスタンバイモードに切り替わるマイクロコンピュータのためのテスト容易化回路において、前記アドレスデコーダと前記 ROM との間に接続され、前記通常モード時には、前記アドレスデコーダから出力される信号を選択し、前記スタンバイモード時には、前記ワード線の電位を所定値に設定するためのテスト信号を選択して、該選択された信号を前記 ROM に出力する選択手段を設ける。

【0013】前記テスト容易化回路は、前記制御部からの制御信号に基づき、スタンバイモード時に、前記 ROM に対して、所定のテスト信号を出力することにより、スタンバイモード時に設定される前記ワード線の電位を制御する。

【0014】

【発明の実施の形態】以下、添付の図面を用いて本発明のテスト容易化回路の実施の形態について説明する。

【0015】実施の形態 1. 図 1 に実施の形態 1 のテスト容易化回路を含むマイクロコンピュータを示す。本実施形態のマイクロコンピュータは、図 5 に示される従来のマイクロコンピュータの構成において、ワード線アドレスデコーダ 4 と ROM 6 との間に、テスト容易化回路として選択回路 14 をさらに設けたものである。選択回路 14 は、ワード線 11 (以下、デコーダ側ワード線と称す。) によりワード線アドレスデコーダ 4 と接続され、ワード線 15 (以下、ROM 側ワード線と称す。) により ROM 6 と接続され、さらに信号線 16 を介して制御部 2 と接続される。

【0016】本実施形態のマイクロコンピュータにおい

て、選択回路 14 以外の構成要素は、図 5 に示される従来のマイクロコンピュータの構成要素と同じである。本マイクロコンピュータは、従来技術で説明したように、通常動作モードとスタンバイモードとを有しており、リーク不良を検出するテストはスタンバイモードで行われる。

【0017】最初に、リーク不良を検出しない時、すなわち通常動作モードにおける動作を説明する。通常モードでは、プログラムカウンタ 3 の値がアドレスバスを介してワード線アドレスデコーダ 4 およびビット線アドレスデコーダ 5 に入力される。入力されたプログラムカウンタ 3 の値がワード線アドレスデコーダ 4 でデコードされ、デコード結果が選択回路 14 に出力される。選択回路 14 は、制御部 2 から信号線 16 を介して出力される発振停止信号に基づき動作モードを判断し、その動作モードに応じて、ワード線アドレスデコーダ 4 から出力されたデコード結果か、所定のテスト信号かのいずれかを選択して出力する回路である。すなわち、通常モードでは、選択回路 14 は、ワード線アドレスデコーダ 4 からのデコード結果を選択し、ROM 6 に出力する。ROM 6 において、このワード線アドレスデコーダ 4 によるデコード結果と、ビット線アドレスデコーダ 5 によるデコード結果とにより指定される ROM 6 内の該当するアドレスのデータがデータバス 13 に出力される。データバス 13 に出力されたデータは命令として制御部 2 に読み込まれ、実行される。

【0018】次に、リーク不良を検出する時の動作を説明する。前述のようにリーク不良の検出はスタンバイモードで行われたため、制御部 2 は発振回路 1 に対して発振停止信号を出力し、発振回路 1 の発振を停止させることにより、通常モードからスタンバイモードへ切り換わる。

【0019】スタンバイモードにおいて、選択回路 14 は、事前に設定された所定のテスト信号を出力として選択し、ROM 6 に出力する。テスト信号は、各ワード線の電位を決定するためワード線毎に「High」レベル (以下、「H」と称す) または「Low」レベル (以下、「L」と称す) に設定される。本実施形態では、所定のテスト信号は、隣接するワード線 15 の電位がそれぞれ異なるように、例えば、ワード線毎に「H」、「L」、「H」、「L」・・・と交互に設定される。

【0020】この時、マイクロコンピュータの電源端子に流れる電流を測定し、所定の電流値と比較することにより、リーク不良の有無を検出できる。すなわち、事前にリーク不良を判断するための電流の基準値を決めておき、電源端子に流れる電流の電流値が基準値より大きい時は、ワード線間のリーク不良が存在すると判断できる。

【0021】図 2 は、本実施形態における選択回路 14 の構成を説明したものである。図 2 において、選択回路

14は、ワード線毎に設けられたセレクト回路21から構成される。セレクト回路21は、制御部2からの発振停止信号に基づき、デコード側ワード線11か、所定のテスト信号を供給するテスト信号端子23かのいずれかを選択し、選択されたワード線11またはテスト信号端子23をROM側ワード線15に接続する。

【0022】テスト信号端子23は、所定のテスト信号として「H」を出力する場合は、例えば+5Vの電源電圧を供給する電源ラインVddに接続され、「L」を出力する場合は、基準電位を与えるグラウンドラインGNDに接続される。

【0023】セレクト回路21は、発振回路1のクロック出力を停止させるために制御部2から出力される発振停止信号に基づき、通常モード時には、デコード側ワード線11とROM側ワード線15とを接続し、スタンバイモード時には、テスト信号端子21とROM側ワード線15とを接続する。このため、選択回路14は、通常モード時にはワード線アドレスデコード4からの出力値をROM6に出力し、またスタンバイモード時には所定のテスト信号をROM6に出力する。

【0024】図3は、所定のテスト信号として「H」を出力する図2に示されるセレクト回路21を論理ゲートを用いて構成した時の回路図である。図3において、セレクト回路21は、ANDゲート25、27と、ORゲート29と、インバータ31とからなる。ANDゲート25には、発振停止信号と、ワード線アドレスデコード4からの出力とが入力される。インバータ31には発振停止信号が入力される。ANDゲート27には、インバータ31の出力と、電源ラインVddから供給される

「H」とが入力される。ORゲート29には、ANDゲート25の出力と、ANDゲート27の出力が入力される。ORゲート29の出力はROM側ワード線15に出力される。

【0025】以下に図3で示されるセレクト回路21の動作を説明する。尚、本実施形態においては、発振停止信号は、通常モード時には「H」となり、スタンバイモード時には「L」となる。

【0026】通常モード時すなわち発振停止信号が「H」の時は、ANDゲート27にインバータ31を介して「L」が入力され、ANDゲート27は「L」を出力する。このため、ORゲート29の出力はANDゲート25の出力に対応する。ANDゲート25の入力である発振停止信号は「H」であるため、ワード線アドレスデコード4からの出力値がそのままANDゲート25の出力となる。したがって、ワード線アドレスデコード4からの出力値がそのままROM側ワード線15に出力される。

【0027】スタンバイモード時すなわち発振停止信号が「L」の時は、ANDゲート25に「L」が入力され、ANDゲート25は「L」を出力するため、ANDゲート27からの出力のみが有効となる。ANDゲート27にはインバータ31の出力である「H」と、電源ラインVddによる「H」とが入力されるため、「H」がROM側ワード線15に出力される。このようにして、図3に示されるセレクト回路21は、発振停止信号により、ワード線アドレスデコード4からの出力か、所定のテスト信号かを選択を行い、ROM6に出力する。

【0028】尚、図3においては、スタンバイモード時に、所定のテスト信号として「H」を出力するセレクト回路の構成を示したが、所定のテスト信号として「L」を出力するセレクト回路は、ANDゲートの入力に、電源ラインVddの代わりにグラウンドラインGNDを接続することにより構成できる。

【0029】以上のようにして、本実施形態のテスト容易化回路では、ワード線アドレスデコード4とROM6との間に選択回路14を設け、この選択回路14によりスタンバイモード時にワード線電圧を所定値に設定することにより、プログラムカウンタ値によらずワード線電位を所定値に設定できるため、ROM6内のすべてのワード線に対してリーク不良の検出を容易にかつ短時間で行うことができる。

【0030】実施の形態2. 図4に、実施の形態1で示されたセレクト回路21の別の構成を示す。実施の形態1のセレクト回路21では、ROM側ワード線15への出力として、2通りの出力の選択を可能としたが、本実施形態のセレクト回路21aは5通りの出力の選択を可能とする構成となっている。すなわち、実施の形態1のセレクト回路では、リーク不良検出のテスト時において「H」、「L」、「H」・・となる1通りのワード線のパターンのみが選択されたが、本実施形態のセレクト回路21aでは、テスト時において、4通りのワード線のパターンの中から1つのパターンを選択することができる。

【0031】表1に、テスト時に各ワード線に設定される電位のパターンであるワード線パターンの一例を示す。表1に示されるように本実施形態においては、第1パターンから第4パターンまでの4通りのテスト用のワード線パターンが設定されている。テスト時に各ワード線の信号レベルは、それぞれのパターンに応じて「H」または「L」に設定される。これらのパターンの選択は、外部から入力される2ビットの選択信号により制御される。

【表1】

第1 パターン (P1)	第2 パターン (P2)	第3 パターン (P3)	第4 パターン (P4)
--------------------	--------------------	--------------------	--------------------

第1ワード線	H	L	L	H
第2ワード線	L	H	L	L
第3ワード線	H	L	H	L
第4ワード線	L	H	L	L
第5ワード線	H	L	L	H
...
...

【0032】以下に本セレクト回路の構成を説明する。セレクト回路21aは、ANDゲート33～37と、ORゲート39と、インバータ41～48とからなり、さらに、第1～第4テスト信号端子P1～P4と、第1選択信号端子50と、第2選択信号端子51とを備える。第1選択端子50は、選択信号の第1ビットを入力するためのものであり、第2選択端子51は、選択信号の第2ビットを入力するためのものである。

【0033】ANDゲート33には、発振停止信号と、ワード線アドレスデコード4からの出力が入力される。ANDゲート34には、第1テスト信号端子P1から出力される所定の信号が入力される。さらに、ANDゲート34には、インバータ41を介して発振停止信号が、インバータ42を介して選択信号の第1ビットが、インバータ43を介して選択信号の第2ビットがそれぞれ入力される。

【0034】ANDゲート35には、第2テスト信号端子P2から出力される所定の信号と、選択信号の第1ビットとが入力される。さらに、ANDゲート35には、インバータ44を介して発振停止信号が、インバータ45を介して選択信号の第2ビットがそれぞれ入力される。

【0035】ANDゲート36には、第3テスト信号端子P3から出力される所定の信号と選択信号の第2ビットとが入力される。さらに、ANDゲート36には、インバータ46を介して発振停止信号が、インバータ47を介して選択信号の第1ビットがそれぞれ入力される。

【0036】ANDゲート37には、第4テスト信号端子P4から出力される所定の信号と、選択信号の第1ビットと、選択信号の第2ビットとが入力され、さらに、インバータ48を介して発振停止信号が入力される。ORゲート39には、ANDゲート33～37の出力がそれぞれ入力され、ORゲート39の出力はROM側ワード線15に出力される。

【0037】第1～第4テスト信号端子P1～P4は、テスト時のワード線パターンにおいて、各ワード線が設定されるべき電位に基づいて、電源ラインVddまたはグラウンドラインGNDに接続される。例えば、表1に示されたワード線パターンを使用する場合、第1ワード線に対するセレクト回路21aでは、第1テスト信号端子P1および第4テスト信号端子P4が、「H」を出力する

ため電源ラインVddに接続され、第2テスト信号端子P2および第3テスト信号端子P3が、「L」を出力するためグラウンドラインGNDに接続される。

【0038】以下に、本実施形態のセレクト回路21aの動作を説明する。通常モードにおいては、発振停止信号が「H」であるため、ANDゲート34～37には、それぞれインバータ41、44、46、48を介して「L」が入力される。このため、ORゲート39の出力は、ANDゲート33の出力に対応し、ワード線アドレスデコード4からの出力信号がそのままROM側ワード線15に出力される。

【0039】スタンバイモード時においては、発振停止信号が「L」になるため、ANDゲート33は「L」を出力し、ORゲート39の出力は、ANDゲート33の出力に影響されない。ここで、ワード線パターンを決定する選択信号として、「00」が外部から入力された」とすると、ANDゲート34のみが入力がすべて「H」になる。このため、ANDゲート35～37の出力は「L」になり、ORゲート39の出力は、ANDゲート34の出力に対応する。故に、第1テスト信号端子P1

から供給される第1パターンに対応する信号が、ROM側ワード線15に出力される。

【0040】同様にして、選択信号として「10」が入力された時はANDゲート35が有効になり、第2テスト信号端子P2から供給される第2パターンに対応する信号が出力される。選択信号として「01」が入力された時はANDゲート36が有効になり、第3テスト信号端子P3から供給される第3パターンに対応する信号が出力される。選択信号として「11」が入力された時はANDゲート37が有効になり、第4テスト信号端子P4から供給される第4パターンに対応する信号が出力される。

【0041】以上のようにして、本実施形態のセレクト回路21aは、スタンバイモード時において、外部から入力される2ビットの選択信号により、4通りにワード線電位を設定することができ、容易に複数のワード線パターンでテストが行えるため、リーク不良の検出精度がより向上する。

【0042】尚、本実施形態の選択回路においては、テスト時に選択されるワード線パターンは4通りであったが、選択されるワード線パターンの数はこれに制限され

ず、4以外の複数のワード線パターンを選択するように選択回路が構成されてもよい。

【0043】

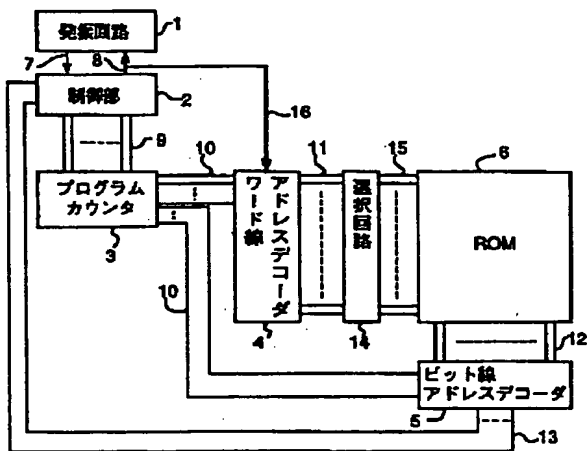
【発明の効果】本発明のテスト容易化回路によれば、ワード線アドレスデコーダとROMとの間に設けられ、通常モードからスタンバイモードへ切り換える制御信号に基づき、通常モード時にワード線アドレスデコーダからの出力を選択し、スタンバイモード時に所定のワード線パターンを与えるテスト信号を選択し、ROMに対して出力するため、テスト時に、プログラムカウンタ値に関係なく、すべてのワード線の信号レベルを同時に設定できるため、容易に、短時間で、かつ精度よくリーク不良の検出が行える。

【図面の簡単な説明】

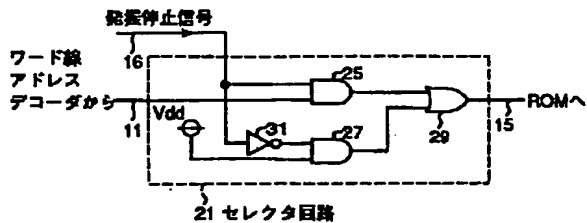
【図1】 実施の形態1のマイクロコンピュータのブロック構成図である。

【図2】 実施の形態1の選択回路の回路図である。

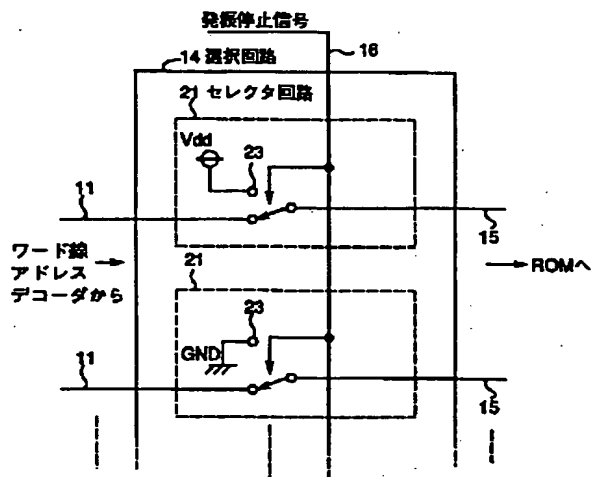
【図1】



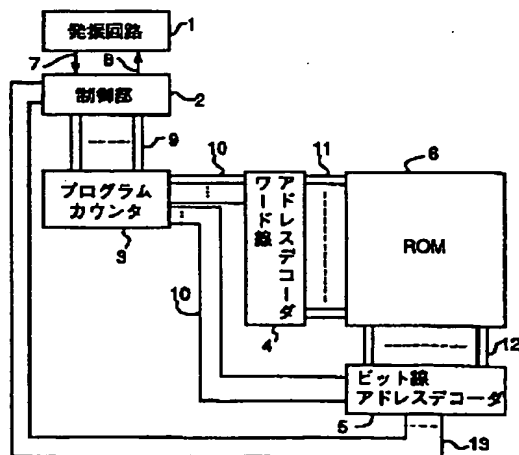
【図3】



【図2】



【図5】



【図3】 実施の形態1のセクタ回路の回路図である。

【図4】 実施の形態2のセクタ回路の回路図である。

【図5】 従来のマイクロコンピュータのブロック図である。

【符号の説明】

1 発振回路、2 制御部、3 プログラムカウンタ、4 ワード線アドレスデコーダ、5 ビット線アドレスデコーダ、6 ROM、7, 8 信号線、9, 10 アドレスバス、11 ワード線（デコーダ側ワード線）、12 ビット線、13 データバス、14 選択回路、15 ROM側ワード線、21, 21aセクタ回路、23 テスト信号端子、25, 27, 33~37 ANDゲート、29, 39 ORゲート、31, 41~48 インバータ、50 第1選択信号端子、51 第2選択信号端子。

【図 4】

